

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-305711

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G09G 3/18  
G02F 1/133  
G09G 3/20  
G09G 3/20

(21)Application number : 10-284878

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 07.10.1998

(72)Inventor : HEN ZAIICHI

(30)Priority

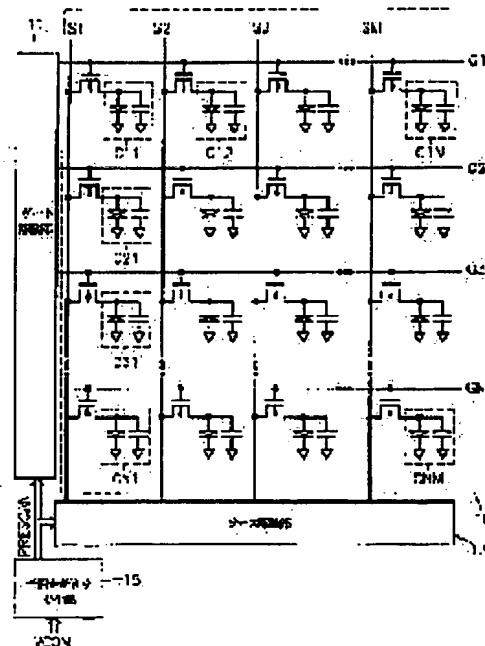
Priority number : 98 9814069 Priority date : 20.04.1998 Priority country : KR

## (54) LOW-POWER DRIVING CIRCUIT AND DRIVING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To minimize the power consumption at the time of a change of frames and to minimize the set time needed until an output becomes stable.

**SOLUTION:** After the gate line (e.g. G1) of a selected row and the gate line (e.g. G2) of at least one of unselected auxiliary rows are activated at the same time in response to a prescan signal, the gate line G2 is disabled while the gate line G1 is activated. While the gate lines G1 and G2 are activated at the same time, data supply to source lines is cut off and after the gate line G2 is disabled, electric charges are supplied to the source lines.



## LEGAL STATUS

[Date of request for examination]

17.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-305711

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 9 G 3/18

G 0 9 G 3/18

G 0 2 F 1/133

5 2 0

G 0 2 F 1/133

5 2 0

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 A

6 2 1

6 2 1 G

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平10-284878

(22) 出願日 平成10年(1998)10月7日

(31) 優先権主張番号 1 9 9 8 P - 1 4 0 6 9

(32) 優先日 1998年4月20日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 邊 在 一

大韓民国京畿道龍仁市器興邑農書里山21番地

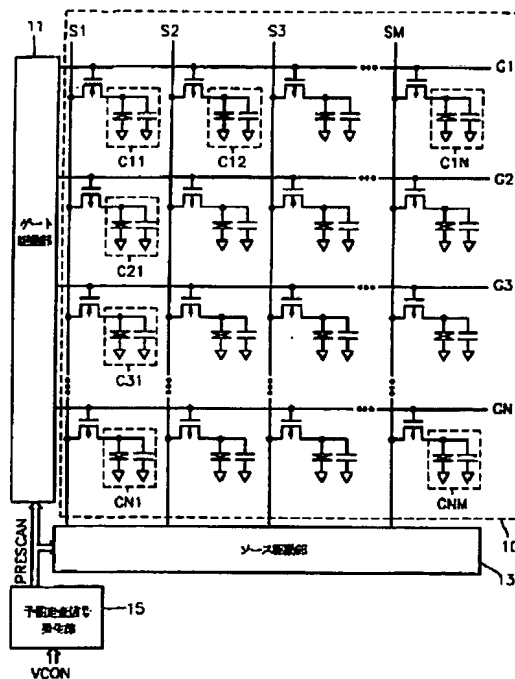
(74) 代理人 弁理士 萩原 誠

(54) 【発明の名称】 低電力駆動回路及び駆動方法

(57) 【要約】

【課題】 フレームが変わる時に発生する電力消費を最小化できるとともに、出力が安定化するまでに要するセット時間を最小化できる低電力駆動回路及び駆動方法を提供すること。

【解決手段】 予備走査信号に応答して、選択される行のゲート線（例えばG1）と選択されない少なくとも一つの補助行のゲート線（例えばG2）を同時に活性化した後、前記ゲート線G1が活性化している間に前記ゲート線G2をディスエーブルさせる。ゲート線G1とG2が同時に活性化している間は、ソース線へのデータ供給を遮断し、前記ゲート線G2がディスエーブルされた後に前記ソース線で電荷を供給する。



## 【特許請求の範囲】

【請求項1】 各々のゲート線によって駆動される一連の行と、各々のソース線によってディスプレイに電荷を供給する一連の列に配列される液晶貯蔵部を有する液晶ディスプレイの駆動回路において、

予備走査信号にตอบสนองして、現在選択されない少なくとも一つの補助行のゲート線と、選択される行のゲート線を同時に活性化した後、選択される行のゲート線が活性化している間に前記補助行のゲート線をディスエーブルさせるゲート信号を発生するゲート駆動部と、前記予備走査信号にตอบสนองして、前記補助行のゲート線と前記選択されるゲート線が同時に活性化している間は、前記ソース線へのデータ供給を遮断し、前記補助行のゲート線がディスエーブルされた後に前記ソース線で電荷を供給するソース信号を発生するソース駆動部とを具備することを特徴とする低電力駆動回路。

【請求項2】 前記ゲート駆動部は、所定の行選択信号と前記予備走査信号によって、対応する行が指定される時、該対応する行を活性化し、少なくとも一つの他の行が指定される時は、前記対応する行を一時的に活性化した後、再び非活性化するゲート信号を各々出力する複数のゲート部を具備することを特徴とする請求項1に記載の低電力駆動回路。

【請求項3】 前記ゲート部は、前記行選択信号にตอบสนองして前記指定された行のゲート線を選択し、続けて指定される行のアドレスを増加させる第1シフト部と、

前記予備走査信号と前記第1シフト部の出力信号にตอบสนองして、前記第1シフト部の出力信号の次のアドレスの行のゲート線を選択した後、前記第1シフト部出力信号のゲート線が選択されている間に、前記次のゲート線を再び不活性化する出力信号を発生する第2シフト部と、前記第1シフト部の出力信号と前記第2シフト部の出力信号を入力信号とするORゲートとを備えることを特徴とする請求項2に記載の低電力駆動回路。

【請求項4】 前記ゲート部は、前記ORゲートの出力信号をバッファリングして前記ゲート信号を出力するバッファを更に具備することを特徴とする請求項3に記載の低電力駆動回路。

【請求項5】 前記ソース駆動部は、前記予備走査信号にตอบสนองして、前記補助行のゲート線と前記選択されるゲート線が同時に活性化している間は前記ソース線へのデータ供給を遮断し、前記補助行のゲート線がディスエーブルされた後に、前記ソース線を通じて前記選択されたゲート線に連結される各々の前記液晶貯蔵部に電荷を循環的に供給する複数のソーシング部を具備することを特徴とする請求項1に記載の低電力駆動回路。

【請求項6】 前記ソーシング部は、所定のデータを選択して発生するデータ発生部と、

前記予備走査信号にตอบสนองして、前記補助行のゲート線と前記選択されるゲート線が同時に活性化している間は前記ソース線への前記データ供給を遮断し、前記補助行のゲート線がディスエーブルされた後に対応する前記ソース線に前記データを供給するスイッチとを具備することを特徴とする請求項5に記載の低電力駆動回路。

【請求項7】 前記データ発生部は、前記データを入力してラッチするラッチ部と、所定の外部選択信号にตอบสนองして前記ラッチ部によってラッチされたデータを選択する選択部と、この選択部によって選択されたデータを増幅する増幅部とを具備することを特徴とする請求項6に記載の低電力駆動回路。

【請求項8】 外部制御信号にตอบสนองして、前記予備走査信号を発生する予備走査信号発生部を更に具備することを特徴とする請求項1に記載の低電力駆動回路。

【請求項9】 各々のゲート線によって駆動される一連の行と、各々のソース線によってディスプレイに電荷を供給する一連の列に配列される液晶貯蔵部を有する液晶ディスプレイの駆動方法において、

A) 前記ソース線への電荷の供給を遮断し、その状態で、選択される行のゲート線と補助行のゲート線を一時的に全て活性化して、前記選択される行のゲート線に連結される液晶貯蔵部のデータと前記補助行のゲート線に連結される液晶貯蔵部のデータに前記ソース線を通じて電荷共有を発生させる段階と、

B) 前記選択される行のゲート線は活性化状態を維持しながら、前記補助行のゲート線をディスエーブルする段階と、

C) 前記選択される行のゲート線に連結される液晶貯蔵部に電荷を供給する段階とを具備することを特徴とする低電力駆動方法。

【請求項10】 前記A) 段階は、

A1) 前記ソース線への電荷の供給を遮断する段階と、

A2) 前記選択される行のゲート線と補助行のゲート線を一時的に全て活性化する段階と、

A3) 前記選択される行のゲート線に連結される液晶貯蔵部のデータと、前記補助行のゲート線に連結される液晶貯蔵部のデータに前記ソース線を通じて電荷共有を発生させる段階とを具備することを特徴とする請求項9に記載の低電力駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイの低電力駆動回路及び駆動方法に関する。

【0002】

【従来の技術】一般的に、液晶ディスプレイは携帯用ゲーム機、ノート型パソコンを含む様々な製品に使われる。この液晶ディスプレイのパネルの行と列の交差点には、データを貯蔵する液晶貯蔵部が配置される。そし

10

20

30

40

50

て、液晶ディスプレイのパネルは、両端にかかる電圧によって黒色と白色をはじめとする様々な色が現れる。即ち、ディスプレイの行を選択するゲート線が活性化し、ソースドライバを通じて、選択された行の各列に調節電圧が供給されることによって、ディスプレイされる画面の映像が調節される。この時、液晶が一方向にだけ移動してパネルの寿命が短縮される現象を防止するために、液晶ディスプレイのパネルの両端に印加される信号の極性は正電圧と負電圧が交替して印加される。

【0003】従来の液晶パネルの両端に電圧を印加する方式には、両面電圧調整方式と一面電圧調整方式がある。両面電圧調整方式は、図1に示すように、両面の電圧が同時に遷移されて液晶パネルを駆動する方式である。即ち、両面電圧調整方式は、点線で表示される一面と、実線で表示される他の一面の電圧差が最小になると白色になり（a、b区間）、最大になると黒色になるように（c、d、e区間）設計する方式である。このような両面電圧調整方式は、図1のcからd、またはdからeに変化する瞬間に両端間の電圧が全て変化することによって、両端に印加される各々の電圧の変化は小さな範囲で遂行される。しかし、この場合には液晶パネルの基準になる面に印加される電圧も続けて動くため、画質及び駆動モジュールの設計上の難しさが存在する。

【0004】一方、一面電圧調整方式は、図2に示すように、実線で表示される基準面の電圧は一定にし、点線で表示される変圧面の電圧だけを変化させる方式である。このような一面電圧調整方式は図2のcからd、またはdからeに変化する瞬間に一面の電圧だけを変化させる。この一面電圧調整方式と前記両面電圧調整方式のうち主流になっているのは一面電圧調整方式であるが、これは画面の画質の面で一面電圧調整方式が良好であるからである。

【0005】

【発明が解決しようとする課題】しかし、一面電圧調整方式は各画素及びラインごとに正電圧と負電圧が交替して現れる。即ち、連続して同一のソースドライバを通じて液晶パネルの両端に最大の電圧が供給されるべき場合、電圧変換の範囲が非常に大きくなる。即ち、基準面の電圧が一定なので、ソースドライバを通じて出力される電圧が現在フレームでは正の方向に最大電圧になり、次のフレームで負の方向に最大電圧になる。このように同じソースドライバでの出力電圧の変化が大きい場合には、フレームが変わる時ごとに出力ドライバを駆動するために消費される電力と、目的する出力レベルに到達するのに要するセット時間が大きくなる問題点が発生する。

【0006】本発明の目的は、フレームが変わる時に発生する電力消費を最小化し、かつ出力が安定化するまでに要するセット時間を最小化する低電力駆動回路及び駆動方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の低電力駆動回路は、各々のゲート線によって駆動される一連の行と、各々のソース線によってディスプレイに電荷を供給する一連の列に配列される液晶貯蔵部を有する液晶ディスプレイの駆動回路において、予備走査信号にตอบสนองして、現在選択されない少なくとも一つの補助行のゲート線と、選択される行のゲート線を同時に活性化した後、選択される行のゲート線が活性化している間に前記補助行のゲート線をディスエーブルさせるゲート信号を発生するゲート駆動部と、前記予備走査信号にตอบสนองして、前記補助行のゲート線と前記選択されるゲート線が同時に活性化している間は、前記ソース線へのデータ供給を遮断し、前記補助行のゲート線がディスエーブルされた後に前記ソース線で電荷を供給するソース信号を発生するソース駆動部とを具備することを特徴とする。

【0008】この低電力駆動回路において、前記ゲート駆動部は、望ましくは、所定の行選択信号と前記予備走査信号によって、対応する行が指定される時、該対応する行を活性化し、少なくとも一つの他の行が指定される時は、前記対応する行を一時的に活性化した後、再び非活性化するゲート信号を各々出力する複数のゲート部を具備するようにする。

【0009】しかも、前記ゲート部は、前記行選択信号にตอบสนองして前記指定された行のゲート線を選択し、続けて指定される行のアドレスを増加させる第1シフト部と、前記予備走査信号と前記第1シフト部の出力信号にตอบสนองして、前記第1シフト部の出力信号の次のアドレスの行のゲート線を選択した後、前記第1シフト部出力信号のゲート線が選択されている間に、前記次のゲート線を再び非活性化する出力信号を発生する第2シフト部と、前記第1シフト部の出力信号と前記第2シフト部の出力信号を入力信号とするORゲートとを備えるようにする。

【0010】本発明の低電力駆動方法は、各々のゲート線によって駆動される一連の行と、各々のソース線によってディスプレイに電荷を供給する一連の列に配列される液晶貯蔵部を有する液晶ディスプレイの駆動方法において、A) 前記ソース線への電荷の供給を遮断し、その状態で、選択される行のゲート線と補助行のゲート線を一時的に全て活性化して、前記選択される行のゲート線に連結される液晶貯蔵部のデータと前記補助行のゲート線に連結される液晶貯蔵部のデータに前記ソース線を通じて電荷共有を発生させる段階と、B) 前記選択される行のゲート線は活性化状態を維持しながら、前記補助行のゲート線をディスエーブルする段階と、C) 前記選択される行のゲート線に連結される液晶貯蔵部に電荷を供給する段階とを具備することを特徴とする。

【0011】この低電力駆動方法において、A) 段階は、望ましくは、A1) 前記ソース線への電荷の供給を

遮断する段階と、A2)前記選択される行のゲート線と補助行のゲート線を一時的に全て活性化する段階と、A3)前記選択される行のゲート線に連結される液晶貯蔵部のデータと、前記補助行のゲート線に連結される液晶貯蔵部のデータに前記ソース線を通じて電荷共有を発生させる段階とを具備するようにする。

【0012】以上のような本発明の低電力駆動回路及び駆動方法によれば、電荷共有現象を利用して、フレームが変わる時に発生する電力消費を最小化し、かつ出力が安定化するまでに要するセット時間を最小化できる。

【0013】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施の形態を詳細に説明する。ただし、実施の形態は単なる一例にすぎず、本技術分野の通常の知識を有する者であれば、これより多様な変形及び均等な他の実施の形態が可能であることはいうまでもない。したがって、本発明の真の技術的保護範囲は特許請求の範囲の技術的思想により決まるべきである。

【0014】図3は、N個の行とM個の列よりなる液晶ディスプレイのパネルを含む本発明の低電力駆動回路の実施の形態を概略的に示す回路図である。これを参照すると、本発明の実施の形態の低電力駆動回路は、N個のゲート線G1、G2、G3、…、GNによって選択される行と、M個のソース線S1、S2、S3、…、SMによって選択される列に配列される液晶貯蔵部C11、C12、…、CNMを有する液晶ディスプレイの映像を駆動する。ここで、液晶ディスプレイのパネル10は、前述した一面電圧調整方式によって駆動される。したがって、同じ列に配列される各行の液晶貯蔵部の一面に正電圧と負電圧が交番して印加される。

【0015】本発明の実施の形態の低電力駆動回路は、ゲート駆動部11とソース駆動部13と予備走査信号発生部15とを具備する。予備走査信号発生部15は、外部制御信号VCNにตอบสนองして予備走査信号PRESCANを発生する。そして、予備走査信号PRESCANはゲート駆動部11とソース駆動部13に入力される。

【0016】ゲート駆動部11は、予備走査信号PRESCANでゲート線を活性化させる。この時、2本のゲート線が活性化される。一つはローアドレスによって選択されるゲート線であり、他の一つは選択されないゲート線中一つである。便宜上、この明細書では選択されないゲート線のうち活性化する少なくとも一つのゲート線を補助行のゲート線という。本実施の形態ではゲート線G1が選択される時、補助行のゲート線G2が選択されることとする。すると、前記予備走査信号PRESCANによってゲート線G1が選択されて活性化すると、補助行のゲート線G2も活性化する。その後、前記ゲート線G1、活性化している間に補助行のゲート線G2は不活性化する。このような行の選択は次のクロック信号によっても有効に遂行される。即ち、次のクロックでは選択されるゲート線G2が活

性化する。この時、補助行のゲート線はG3としてゲート線G2と共に活性化した後、ゲート線G2が活性化している間に補助行のゲート線G3は不活性化する。このような行の活性化は連続するクロック信号でゲート線に順次に現れる。

【0017】ソース駆動部13は、前記予備走査信号PRESCANにตอบสนองして前記ソース線S1、S2、S3、…、SMを通じて液晶ディスプレイ上の選択される液晶貯蔵部にデータを提供する。便宜上、選択されるゲート線がG1であり、補助行のゲート線としてゲート線G2が選択される場合を例として前記ソース駆動部13を説明すると次の通りである。

【0018】前記ゲート線G1と前記補助行のゲート線G2が選択されている間は前記ソース線S1、S2、S3、…、SMへのデータ供給が遮断される。すると、同じ列に配列されながらゲート線G1とゲート線G2に連結される液晶貯蔵部のデータは電荷共有現象が発生する。即ち、液晶貯蔵部C11と液晶貯蔵部C21のデータは電荷共有現象によって平均値になる。その後、前記補助行のゲート線G2が不活性化した後、前記ソース線S1を通じてデータが液晶貯蔵部C11に入力される。

【0019】図6は、以上のようなゲート線の駆動タイミングとソース線の動作を従来と比較して示す波形図である。これを参照すると、本発明の実施の形態では、まずゲート線G1が選択されて活性化する区間でゲート線G2が一時的に活性化した後再び不活性化する。次に、ゲート線G2が選択されて活性化する区間でゲート線G3が一時的に活性化した後再び不活性化する。このような動作を反復して最後のゲート線のGNが選択されて活性化する区間で臨時補助ゲート線が一時的に活性化した後再び不活性化する。

【0020】したがって、図6の比較図部分で点線は従来技術によるソース線の動作を示し、実線は本発明の実施の形態の低電力駆動回路によるソース線の動作を示すが、本発明（実線）によれば、例えば図6のa区間からc区間に電圧が変化する時は、選択されるゲート線と補助行のゲート線が同時に活性化して電荷共有が発生するb区間が間に存在するようになるので、ソース線の電圧変化は従来技術（点線）に比較して格段に減少する。そして、このように電圧変化が減少することにより、本発明によれば、フレームが変わる時に発生する電力消費を最小化できるとともに、出力が安定化するまでに要するセット時間を最小化できる。

【0021】図4は図3のゲート駆動部11の一具体例を示すブロック図である。これを参照すると、ゲート駆動部11は複数のゲート部17を具備する。ゲート部17は、行選択データRSELと予備走査信号PRESCANを入力して、ゲート線G1、G2、G3、…、GNのうち対応するゲート線にゲート信号を出力する。この時、対応するゲート線は対応する行が指定される時活性化する。また、このゲート

線は少なくとも一つの他の行が指定される時、一時的に活性化した後、再び不活性化する。

【0022】ゲート部17は具体的には第1シフト部19、第2シフト部21、ORゲート23を具備する。第1シフト部19は、行選択データRSELにตอบสนองして指定された行のゲート線を選択する。そして、外部のクロック信号（図示せず）にตอบสนองして指定される行のアドレスを増加させる。第2シフト部21は、予備走査信号PRESCANと前記第1シフト部19の出力信号SHIFT1にตอบสนองして、前記第1シフト部19の出力信号SHIFT1の次のアドレスの行のゲート線を選択する。例えば、前記第1シフト部19の出力信号SHIFT1がゲート線G1を選択して活性化する場合には、前記第2シフト部21の出力信号SHIFT2はゲート線G2を選択して活性化する。その後、前記第2シフト部21の出力信号SHIFT2は、前記第1シフト部19の出力信号SHIFT1が活性化している間に再び不活性化する。

【0023】ORゲート23は、前記第1シフト部19の出力信号SHIFT1と前記第2シフト部21の出力信号SHIFT2を入力して論理和演算を遂行する。ゲート部17は、望ましくは、前記ORゲート23の出力信号N24をバッファリングして対応するゲート信号を出力するバッファ25を更に具備する。

【0024】図5は図3のソース駆動部13の一具体例を示すブロック図である。これを参照すると、ソース駆動部13は複数のソーシング部31を具備する。ソーシング部31は、予備走査信号PRESCANにตอบสนองして、補助行のゲート線と選択されるゲート線が同時に活性化している間はソース線へのデータ供給を遮断する。その後、ソーシング部31は、補助行のゲート線がディスエーブルされた後、ソース線を通じて前記選択されるゲート線に連結される対応する各々の液晶貯蔵部に電荷（ソース信号）を供給する。

【0025】ソーシング部31は具体的にはデータ発生部33とスイッチ35を具備する。データ発生部33はデータ選択信号VGAMMAとデータ信号のR・G・Bによって各ソース線を通じて入力されるデータVDATを選択して発生する。スイッチ35は予備走査信号PRESCANにตอบสนองして、前記補助行のゲート線と前記選択されるゲート線が同時に活性化している間は、前記ソース線への前記データVDAT\*

\*の供給を遮断する。その後、前記スイッチ35は前記補助行のゲート線がディスエーブルされた後に対応する前記ソース線に前記データVDATを供給する。

【0026】データ発生部33は、具体的にはラッチ部37、選択部39及び増幅部41を具備する。ラッチ部37は、外部から入力されるデータ信号のR・G・Bをラッチする。選択部39は、所定の外部選択信号VGAMMAにตอบสนองして前記ラッチ部37によってラッチされたデータVLATを選択する。増幅部41は、前記選択部39によって選択されたデータVSELを増幅して、増幅されたデータVDATを前記スイッチ35に出力する。

【0027】

【発明の効果】以上詳細に説明したように本発明の低電力駆動回路及び駆動方法によれば、電荷共有現象を利用して、ソース線の電圧変化を格段に減少させることができ、その結果フレームが変わる時に発生する電力消費を最小化できるとともに、出力が安定化するまでに要するセット時間を最小化できる。

【図面の簡単な説明】

【図1】従来の両面電圧調整方式の例を示す波形図。

【図2】従来の一面電圧調整方式の例を示す波形図。

【図3】N個の行とM個の列よりなる液晶ディスプレイのパネルを含む本発明の低電力駆動回路の実施の形態を概略的に示す回路図。

【図4】図3のゲート駆動部の一具体例を示すブロック図。

【図5】図3のソース駆動部の一具体例を示すブロック図。

【図6】本発明の低電力駆動回路の実施の形態によるゲート線の駆動タイミングとソース線の動作を従来技術と比較して示す波形図。

【符号の説明】

10 液晶ディスプレイのパネル

11 ゲート駆動部

13 ソース駆動部

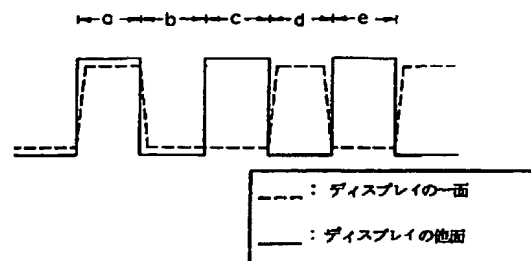
15 予備走査信号発生部

S1～SM ソース線

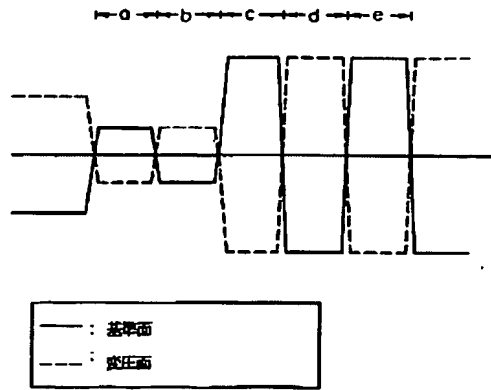
G1～GN ゲート線

C11～CNM 液晶貯蔵部

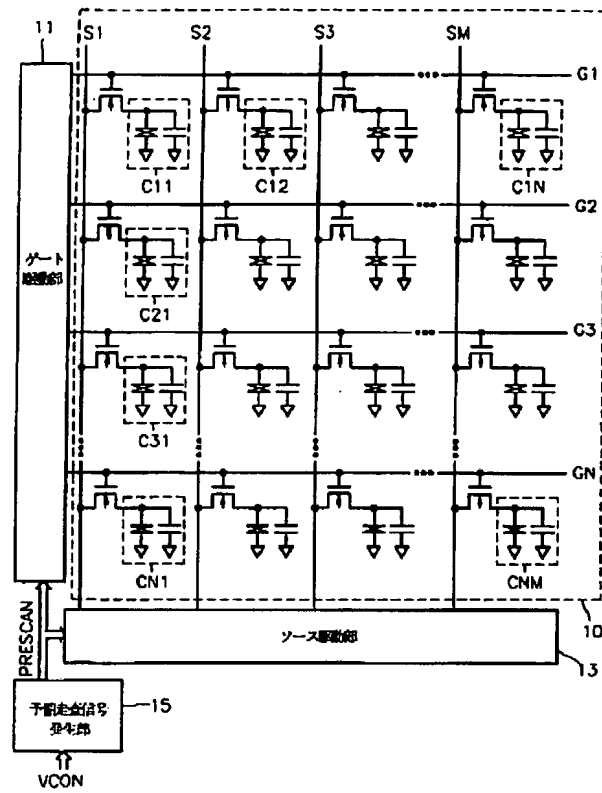
【図1】



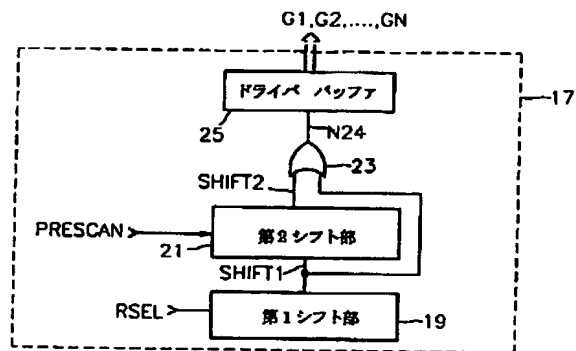
【図2】



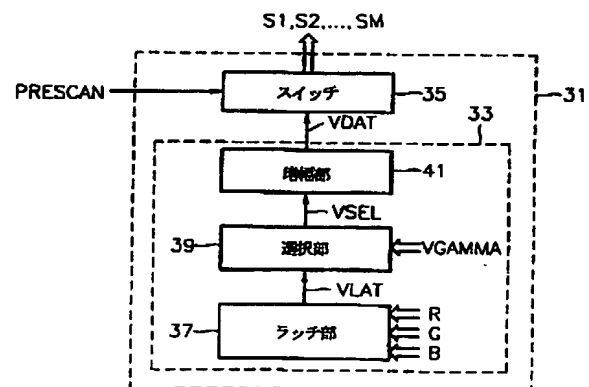
【図3】



【図4】



【図5】



【図6】

